

FIELD EFFECT TRANSISTOR AND ITS MANUFACTURE

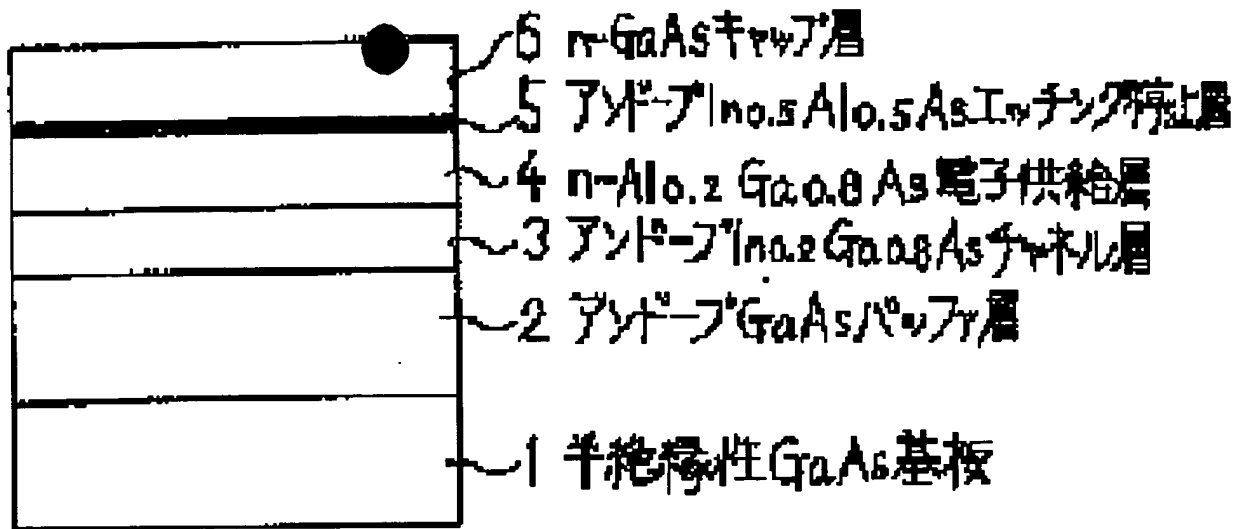
Patent Number: JP7193224
Publication date: 1995-07-28
Inventor(s): MARUHASHI KENICHI
Applicant(s): NEC CORP
Requested Patent: ☐ JP7193224
Application Number: JP19930330552 19931227
Priority Number(s):
IPC Classification: H01L29/778; H01L21/338; H01L29/812; H01L21/306; H01L21/308
EC Classification:
Equivalents: JP2669325B2

Abstract

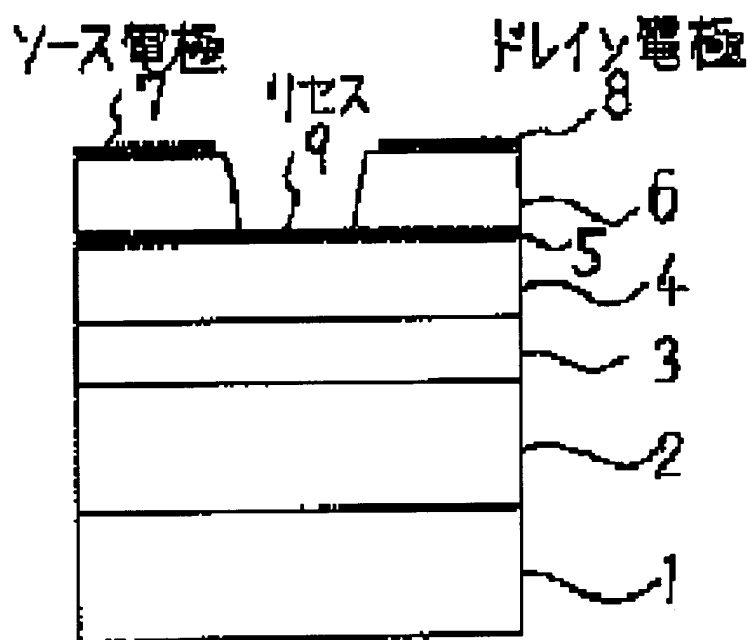
PURPOSE: To provide a two-dimensional electron gas electric field transistor which has an even threshold voltage value and to provide a method for manufacturing such a transistor.

CONSTITUTION: On a semi-insulating GaAs substrate 1, an undoped GaAs buffer layer 2, an undoped In_{0.2}Ga_{0.8}As channel layer 3, an Al_{0.2}Ga_{0.8}As electron feeder layer 4 which is doped into an n type, an undoped In_{0.5}Al_{0.5}As etching stop layer 5, and a GaAs cap layer which is doped into an n type are grown. Then, a source electrode 7 and a drain electrode 8 are formed on the GaAs cap layer 6 by evaporation or by a heat treatment alloy process. Then, using an etchant including a succinic acid or tartaric acid, the GaAs cap layer 6 formed on the undoped In_{0.5}Al_{0.5}As etching stop layer 5 is selectively removed by etching to form a recess 9. A gate electrode 10 is formed in the recess 9. Since the depth of the recess can be controlled even, a threshold voltage value can be uniformed.

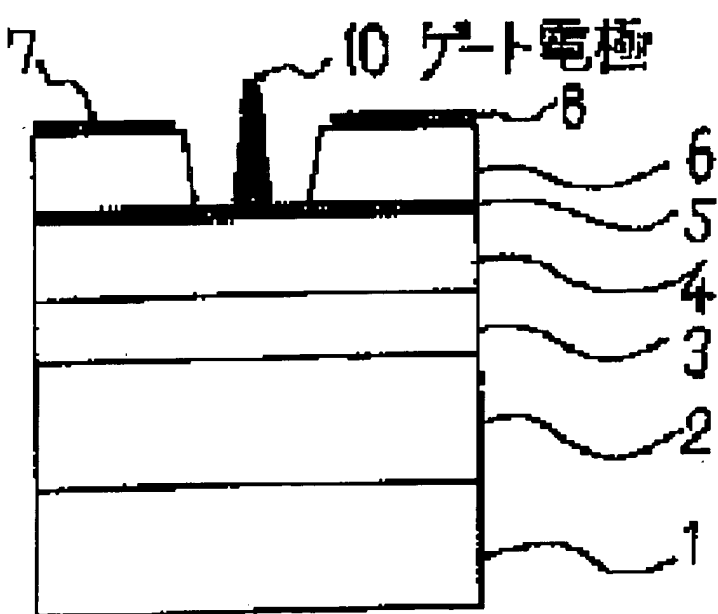
Data supplied from the esp@cenet database - I2



(a)



(b)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-193224

(43) 公開日 平成7年(1995)7月28日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/778

21/338

29/812

9171-4M

H 0 1 L 29/ 80

H

21/ 306

U

審査請求 有 請求項の数 2 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願平5-330552

(22) 出願日

平成5年(1993)12月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 丸橋 建一

東京都港区芝五丁目7番1号 日本電気株式会社内

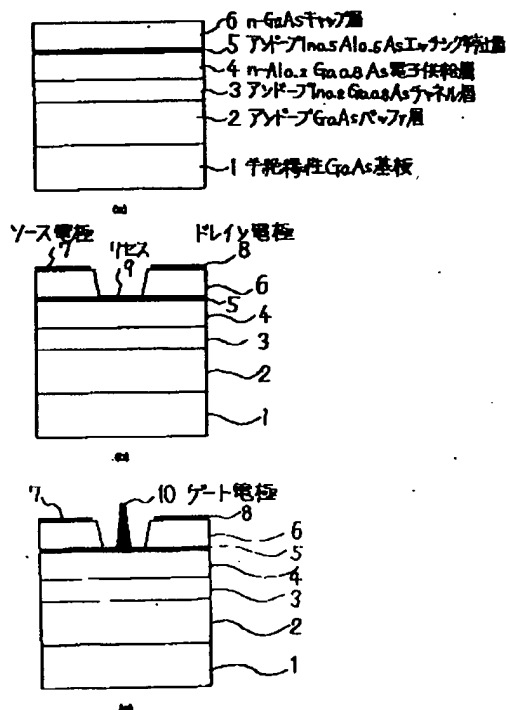
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 電界効果トランジスタおよびその製造方法

(57) 【要約】

【目的】 しきい電圧値が均一の2次元電子ガス電界効果トランジスタおよびその製造方法を提供する。

【構成】 半絶縁性GaAs基板1上に、アンドープGaAsバッファ層2、アンドープIn_{0.2}Ga_{0.8}Asチャネル層3、n型に不純物ドーパされたAl_{0.2}Ga_{0.8}As電子供給層4、アンドープIn_{0.5}Al_{0.5}Asエッチング停止層5、n型に不純物ドーパされたGaAsキャップ層6を結晶成長する。GaAsキャップ層6上にソース電極7、ドレイン電極8を蒸着及び熱処理アロイ工程により形成する。ここでコハク酸または酒石酸を含むエッチング液により、アンドープIn_{0.5}Al_{0.5}Asエッチング停止層5上のGaAsキャップ層6を選択的にエッチング除去し、リセス9を形成し、リセス内部にゲート電極10を形成するリセス深さを均一に制御できるので、しきい電圧値を均一にできる。



【特許請求の範囲】

【請求項1】 半絶縁性GaAs基板上に、電子親和力の大きい第1の半導体層と、該第1の半導体層に比べて電子親和力が小さい第2の半導体層がこの順に積層された電界効果トランジスタに於いて、前記第2の半導体層上にInAlAs層と、n型に不純物ドーパされたGaAs層とがこの順に積層されていることを特徴とする電界効果トランジスタ。

【請求項2】 半絶縁性GaAs基板上に、電子親和力の大きい第1の半導体層と、該第1の半導体層に比べて電子親和力が小さい第2の半導体層と、InAlAs層と、n型に不純物ドーパされたGaAs層とをこの順に積層する工程と、リセス工程とを有し、リセス工程において前記n型に不純物ドーパされたGaAs層をコハク酸を含むエッチング液または酒石酸を含むエッチング液により選択的にリセスエッチングを行うこと特徴とする電界効果トランジスタ製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電界効果トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】近年、ヘテロ界面での2次元電子ガスを利用した電界効果トランジスタが、衛星通信、移動体通信等の分野で盛んに利用されるようになってきている。電界効果トランジスタの製法に於いては、しきい電圧値を均一に揃えるために選択エッチングを用いたリセス形成法が試みられている。

【0003】GaAs基板に格子整合するAlGaAs/GaAs系では、AlGaAsに対するエッチング速度がGaAsに対するエッチング速度に比べて小さいことを利用して、所望の深さまでリセスエッチングを行っている。AlGaAs/GaAs系の選択エッチング技術に関しては数多くの実験報告がなされているが、例えばジャーナル・オブ・バキューム・サイエンス・テクノロジー、第B8巻、第5号、1122頁、1990年(JOURNAL OF VACUUM SCIENCE TECHNOLOGIES, VOL. B8, NO. 5, PP. 1122, 1990)記載の報告によれば、クエン酸、過酸化水素水、水からなるエッチング液を用いたもので、 $Al_{0.3}Ga_{0.7}As$ に対するGaAsのエッチング速度比(選択比)は90となっている。また、ジャーナル・オブ・エレクトロケミカル・ソサイティ、ソリッドステート・サイエンス・アンド・テクノロジー、第129巻、第10号、2380頁、1982年(JOURNAL OF ELECTROCHEMICAL SOCIETY; SOLID-STATE SCIENCE AND TECHNOLOGY, VOL. 129, NO. 10, PP. 2380, 1982)記載の報告によれば、アンモニア水、過酸化水素水を混合したエ

ッチング液を用いたもので $Al_{0.16}Ga_{0.84}As$ に対するGaAsの選択比は30となっている。

【0004】ドライエッチング技術を用いたものでは、例えばジャパニーズ・ジャーナル・オブ・アプライド・フィジックス、第20巻、第11号、L847頁、1981年(JAPANESE JOURNAL OF APPLIED PHYSICS, VOL. 20, NO. 11, PP. L 847, 1981)に記載されている。この例では、Heと CCl_2F_2 の混合ガスを用いており、 $Al_{0.3}Ga_{0.7}As$ に対するGaAsの選択比は200となっている。

【0005】AlGaAs/GaAs間にエッチング停止層としてAl組成の大きいAlGaAs層を挿入し、クエン酸を含むエッチング液で選択エッチングを行う方法は、ジャーナル・オブ・エレクトロニック・マテリアルズ、21巻、第1号、9頁、1982年(JOURNAL OF ELECTRONIC MATERIALS, VOL. 21, NO. 1, PP. 9, 1982)に記載されている。図5は、この選択エッチング法を用いて製作された2次元電子ガス電界効果トランジスタの要部断面構造を示す引用図である。この図ではエッチング停止層として、AlGaAsでも最もAl組成が大きい $Al_{11}Ga_0As$ 、すなわちAlAsを用いている。AlAsエッチング停止層14は、アンドープ $Al_{0.17}Ga_{0.83}As$ 層13とGaAsキャップ層6の間に配されている。リセス9は、クエン酸、水、過酸化水素水を混合したエッチング液によるエッチングで形成される。エッチングがエッチング停止層14まで信号すると、エッチング速度が遅くなるため、リセス深さの高い均一性が実現される。

【0006】GaAsに対するエッチング停止層として $AlInGaAs$ 層を挿入し、ドライエッチングにて選択エッチングする方法は特開平5-102194号公報に記載されている。図6は、この選択エッチング法を用いて製作されるMESFET(ショットキーゲート電界効果トランジスタ)の製造工程を示す引用図である。この図ではn- $AlInGaAs$ エッチング停止層24は、n-GaAsチャネル層23とn-GaAs層25の間に配されている。リセス29は、例えば CCl_2F_2 をエッチングガスとしてRIE(反応性イオンエッチング)法により形成される。エッチングはエッチング停止層24まで進行すると、エッチング速度が遅くなるため、リセス深さの高い均一性が実現される。

【0007】

【発明が解決しようとする課題】クエン酸系、アンモニア系などのエッチング液では、AlGaAs/GaAsの選択比は十分にとれるもののn型に不純物ドーパされたGaAsのエッチング速度が早く(例えば室温で300nm/分以上)、低温にしなければならないなど制御性の確保に留意する必要がある。ドライエッチング法

に於いては、トランジスタの動作層へのダメージにより特性劣化の問題があった。

【0008】

【課題を解決するための手段】請求項1に記載の電界効果トランジスタは、半絶縁性GaAs基板上に、電子親和力の大きい第1の半導体層と、該第1の半導体層に比べて電子親和力が小さい第2の半導体層がこの順に積層された電界効果トランジスタに於いて、前記第2の半導体層上にInAlAs層と、n型に不純物ドーパされたGaAs層とがこの順に積層されていることを特徴とする。

【0009】請求項2に記載の電界効果トランジスタの製造方法は、半絶縁性GaAs基板上に、電子親和力の大きい第1の半導体層と、該第1の半導体層に比べて電子親和力が小さい第2の半導体層と、InAlAs層と、n型に不純物ドーパされたGaAs層とをこの順に積層する工程と、リセス工程とを有し、該n型に不純物ドーパされたGaAs層をコハク酸を含むエッチング液または酒石酸を含むエッチング液により選択的にリセスエッチングを行うことを特徴とする。

【0010】

【作用】本発明によれば、ドライエッチング法によるリセス形成時のダメージを回避することができる。また、コハク酸または酒石酸を含むエッチング液のGaAsに対するエッチング速度は室温に於いても十分遅いため、リセス深さの制御性を改善することができる。

【0011】

【実施例】本発明の電界効果トランジスタおよびその製造方法の具体例について図面を参照して詳細に説明する。

【0012】(実施例1)図1(a)には、エピタキシャル基板の一例を示す。半絶縁性GaAs基板1層にアンドープGaAsバッファ層2が200nmの厚さで、アンドープIn_{0.2}Ga_{0.8}Asチャネル層3が15nmの厚さで、例えばSiなどの不純物が2×10¹⁸cm⁻³の濃度でドーパされたn-GaAsキャップ層6が60nmの厚さで、それぞれ例えば分子線エピタキシャル成長法(MBE)により順次結晶成長されている。

【0013】このエピタキシャル基板上に、図1(b)に示すソース電極7、ドレイン電極8を例えばAlGeとNiの蒸着及びそれに続く熱処理アロイ工程により形成する。

【0014】次にオーミック電極間に、リセス9を形成する。例えば水1リットルに対しコハク酸200gの割合で混合したものにアンモニアを加えることでpH5.0に調整する。これに過酸化水素水0.24リットルを加えたものをエッチング液とする。摂氏20度に於いて、このエッチング液を用いたInAlAsとGaAsのエッチング速度の比は1対21である。このときのGaAsのエッチング速度は毎分25nmである。

【0015】図3は、エッチング時間とエッチング量の関係を示している。本実施例に於いて、キャップ層がエッチングにより除去される時間を100%とすれば、エッチング停止層がすべて除去される時間はその70%にあたる。したがって、仮に全体のエッチング時間を135%に設定すれば、エッチング液の調合、温度等によるエッチング速度の変動が最大35%あったとしても、エッチング量の変動を2nm以内に抑えることができる。

【0016】最後に図1(c)に示すように、リセス内部に例えばTiとPtとAuからなるゲート電極10を形成する。

【0017】形成された電界効果トランジスタは、In_{0.2}Ga_{0.8}Asチャネル層3に形成される量子井戸に2次元電子ガスが溜まり、この電子キャリアとして動作する。本実施例により製造された電界効果トランジスタのしきい電圧値の標準偏差は30mVと良好な値を示す。本実施例の電界効果トランジスタに於けるソース電極7からIn_{0.2}Ga_{0.8}Asチャネル層3間の寄生抵抗(ソース抵抗)は、ゲート幅1mm換算で0.4Ωあり、図4に示す従来構造の電界効果トランジスタのソース抵抗とほぼ同じ値である、これはIn_{0.5}Al_{0.5}Asエッチング停止層5によるソース抵抗の劣化がないことを示している。

【0018】(実施例2)本実施例では、エッチング液の組成を除いて、実施例1と同じ工程で電界効果トランジスタを形成する。

【0019】エッチング液の調合は例えば次の通りである。水1リットルに対し酒石酸160gの割合で混合したものにアンモニアを加えることでpH5.0に調整する。これに過酸化水素水0.17リットルを加えたものをエッチング液とする。摂氏20度に於いて、このエッチング液を用いたInAlAsとGaAsのエッチング速度の比は1対26である。このときのGaAsのエッチング速度は毎分20nmである。

【0020】形成された電界効果トランジスタは、図1に於いてIn_{0.2}Ga_{0.8}Asチャネル層3に形成される量子井戸に2次元電子ガスが溜まり、この電子をキャリアとして動作する。本実施例により製造された電界効果トランジスタのしきい電圧値の標準偏差は28mVと良好な値を示す。本実施例の電界効果トランジスタに於けるソース電極7からIn_{0.2}Ga_{0.8}Asチャネル層3の間の寄生抵抗(ソース抵抗)は、ゲート幅1mm換算で0.4Ωであり図4に示す従来構造の電界効果トランジスタのソース抵抗とほぼ同じ値である。これは、In_{0.5}Al_{0.5}Asエッチング停止層5によるソース抵抗の劣化がないことを示している。

【0021】(実施例3)本実施例に於いては、図1(b)に示すn-GaAsキャップ層6を選択的にエッチング除去する工程までは、実施例1および実施例2と同じである。この後、図2(a)に示すように、例えば

5

リン酸、過酸化水素水、水からなるエッチング液を用いてアンドープInAlAsエッチング停止層5を除去する。エッチングはn-AlGaAs層4の途中まで進行する。しかしInAlAsエッチング停止層5はn-GaAsキャップ層6に比べて薄いので、リセス深さの均一性を比較的良く保ちながらリセス形成を行うことができる。最後に図2(b)に示すように、リセス内部に例えばTiとPtとAuからなるゲート電極10を形成する。

【0022】本実施例に於いてはゲート電極はAlGaAs電子供給層4上に形成されるため、実施例1および実施例2に比べて高いショットキ障壁高さが得られる。したがってゲート電流の抑制、大電流動作等が可能となる。以上、実施例1から実施例3により本発明の具体例を説明した。

【0023】本発明では、InAlAsエッチング停止層のIn組成比、膜厚はここに示したものに限定されない。これらの実施例に於いては、電子供給層の不純物分布は一様ドーパとしているが、これに限られるものではなく、例えば深さ方向に階段上に不純物濃度が変化したり、不純物分布を局在させたり（例えばプレーナドーパ）、電子供給層とチャネル層との間にアンドープのスペーサ層を設けたりすることなども可能である。さらにInGaAsチャネル層の組成比または深さ方向での組成比分布等に関しても、ここで示したものに限定されない。またチャネル自体へ直接不純物をドーパすることもできる。

【0024】

【発明の効果】本発明によれば、電界効果トランジスタのしきい電圧値を均一に制御できる。しかもInAlAsエッチング停止層によりソース抵抗の劣化もない。本発明に於いてはウェットエッチングプロセスを用いているので、ドライエッチングでリセス形成を行うときに問題となるダメージによる特性劣化を回避することができる。

【図面の簡単な説明】

【図1】本発明の電界効果トランジスタの製造工程を示す断面図である。

6

【図2】本発明の電界効果トランジスタの製造工程を示す断面図である。

【図3】本発明を説明するための図で、リセス形成時のエッチング時間とエッチング量の関係を示した図である。

【図4】選択エッチングを用いない、従来の製造方法で形成された電界効果トランジスタの要部断面構造を示す図である。

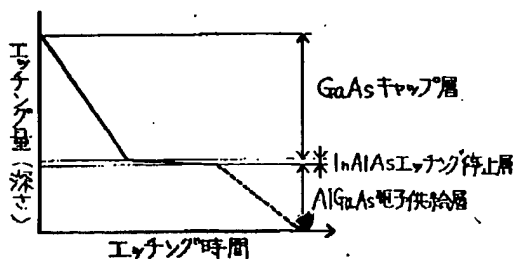
【図5】従来例として引用した電界効果トランジスタの要部断面構造を示す図である。

【図6】従来例として引用した別の電界効果トランジスタの製造工程を示す断面図である。

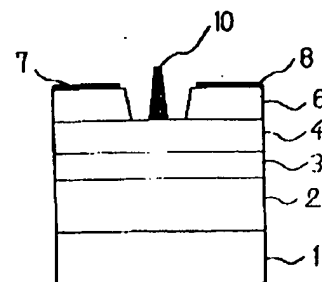
【符号の説明】

- | | |
|----|---|
| 1 | 半絶縁性GaAs基板 |
| 2 | アンドープGaAsバッファ層 |
| 3 | アンドープIn _{0.2} Ga _{0.8} Asチャネル層 |
| 4 | n-Al _{0.2} Ga _{0.8} As電子供給層 |
| 5 | アンドープIn _{0.5} Al _{0.5} Asエッチング停止層 |
| 6 | n-GaAsキャップ層 |
| 7 | ソース電極 |
| 8 | ドレイン電極 |
| 9 | リセス |
| 10 | ゲート電極 |
| 11 | アンドープAl _{0.17} Ga _{0.83} As層 |
| 12 | 不純物ドーパ |
| 13 | アンドープAl _{0.17} Ga _{0.83} As層 |
| 14 | AlAsエッチング停止層 |
| 21 | 半絶縁性GaAs基板 |
| 22 | アンドープGaAsバッファ層 |
| 23 | n-GaAsチャネル層 |
| 24 | n-AlInGaAsエッチング停止層 |
| 25 | n-GaAs層 |
| 26 | n+GaAsコンタクト層 |
| 27 | ソース電極 |
| 28 | ドレイン電極 |
| 29 | リセス |
| 30 | ゲート電極 |

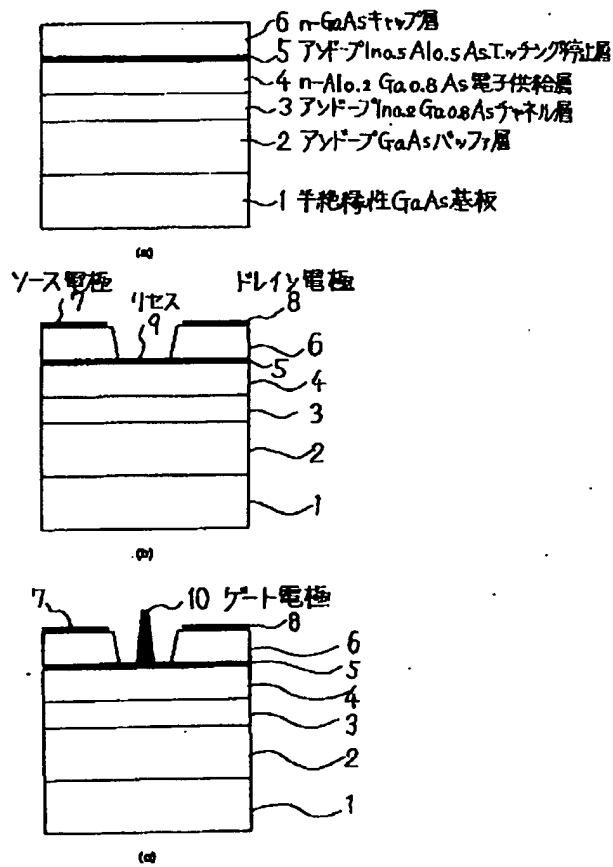
【図3】



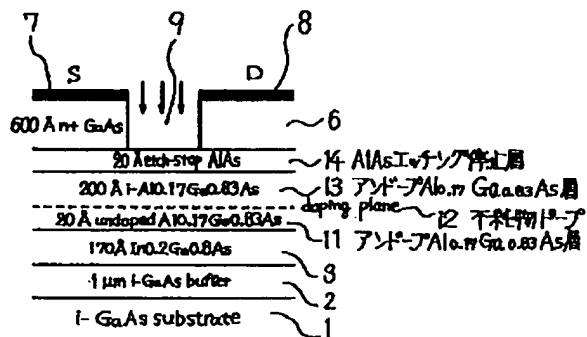
【図4】



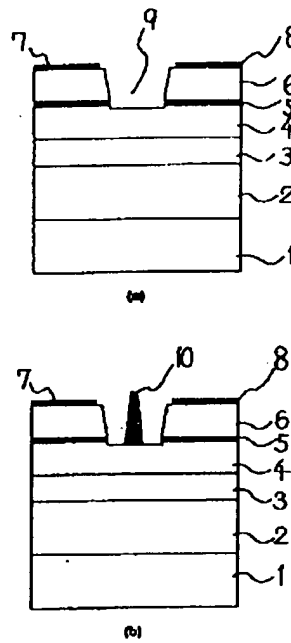
【図1】



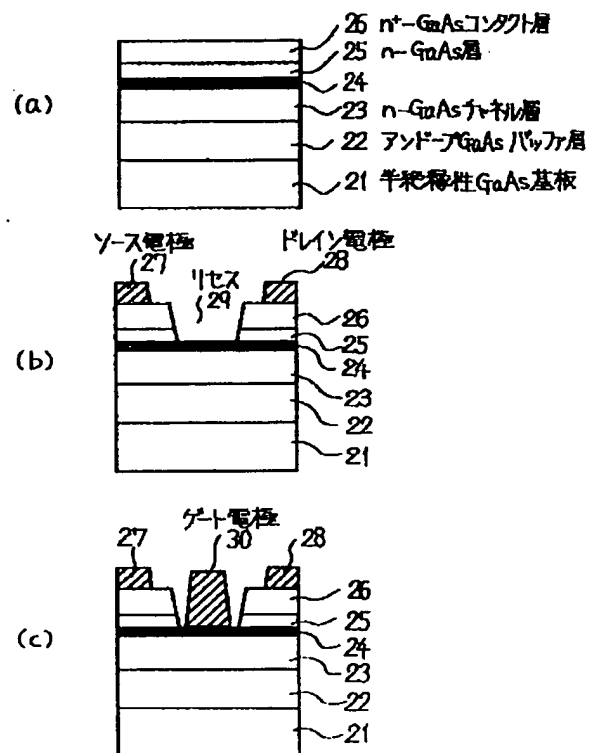
【図5】



【図2】



【図6】



フロントページの続き

(51)Int.Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H O 1 L 21/306				
21/308	C	9171-4M	H O 1 L 29/80	F